

Створення архітектурної концепції та методів проектування мережевих процесорів з інтелектуальною обробкою даних.

Создание архитектурной концепции и методов проектирования сетевых процессоров с интеллектуальной обработкой данных.

Architectural conception and network processor development which provide intellectual data processing.

1. Номер державної реєстрації – 0109U002268.

2. Науковий керівник – д.т.н., проф. Сімоненко В.П., Симоненко В.П., Simonenko Valeriy.P .

3. Суть розробки, основні результати.
(укр.)

Обґрунтована методологія створення методів синтезу конвеєрних обчислювальних систем (ОС) через відображення просторового графу синхронних потоків даних (ГСПД) у структуру ОС та її розклад. Розроблені методи забезпечують при заданому періоді виконання алгоритму мінімізацію тривалості тактового інтервалу, кількості процесорних елементів, їх регістрів, мультиплексорів, міжз'єднань, об'єму пам'яті а також енергоспоживання. Розроблено методи синтезу конвеєрних ОС для програмованих логічних інтегральних схем (ПЛІС), включаючи метод проектування з використанням мови VHDL, метод відображення періодичних алгоритмів з операторами керування, метод синтезу буферних схем. При цьому структурне рішення ОС описане мовою VHDL і представляє собою проект, який готовий до використання в ПЛІС або замовлений НВІС. Це рішення виходить минаючи побудову самої структури, завдяки чому її оптимізація виконується напрямлено й має меншу трудомісткість. Розроблено також метод ресинхронізації ГСПД, який є напрямленим та має меншу складність у порівнянні з традиційним методом. Рівень формалізації методів достатній для їх автоматичної реалізації.

Одержані методи перевірені при проектуванні ОС для цифрової обробки сигналів і вирішення задач лінійної алгебри, реалізовані в ПЛІС, параметри яких переважають або не гірше параметрів кращих зарубіжних зразків. Встановлено, що мережеві комп'ютери на основі конфігурованих комп'ютерів мають на порядок менше енергоспоживання при підвищеній швидкодії у порівнянні з мікропроцесорними системами і можуть бути запрограмовані завдяки застосуванню запропонованих методів. Запропоновано метод статичного планування у системі мережевих процесорів при обмеженнях на ресурси з мінімізуванням загального часу виконання, який завдяки обробці графу залежності по даних дає змогу знайти ефективний план за короткий термін.

Розроблено ряд віртуальних обчислювальних модулів конфігурованого мережевого процесора, таких як контролер локальної мережі Ethernet, декодер Ріда-Соломона, розпакувальник файлів у форматі GZIP. Розроблено ядро мікроконтролера i8051, яке має підвищену швидкодію до 100 млн. команд за сек. Розроблено і випробувано експериментальний зразок мережевого комп'ютера на основі ПЛІС Xilinx XCV-4SX35.

(рос.)

Обоснована методология создания методов синтеза конвейерных вычислительных систем (ВС) путем отображения пространственного графа синхронных потоков данных (ГСПД) в структуру ВС и ее расписание. Разработанные методы обеспечивают при заданном периоде выполнения алгоритма минимизацию длительности тактового интервала, количества процессорных элементов, их регистров, мультиплексоров, межсоединений, объема памяти, а также энергопотребления. Разработаны методы синтеза конвейерных ВС для программируемых логических интегральных схем (ПЛІС), включая метод проектирования с использованием языка VHDL, метод отображения периодических алгоритмов с операторами управления, метод синтеза буферных схем. При этом структурное решение ВС описано языком VHDL и представляет собой проект, готовый к использованию в ПЛІС или заказной СБИС. Это решение получается минуя построение самой структуры,

благодаря чему его оптимизация выполняется направленно и имеет меньшую трудоемкость. Разработан также метод ресинхронизации ГСПД, который является направленным и имеет меньшую сложность по сравнению с традиционным методом. Уровень формализации методов достаточный для их автоматической реализации.

Полученные методы проверены при проектировании ВС для цифровой обработки сигналов и решения задач линейной алгебры, реализованных в ПЛИС, параметры которых превышают или не хуже параметров лучших зарубежных образцов. Установлено, что сетевые компьютеры на основе конфигурируемых компьютеров имеют на порядок меньшее энергопотребление при повышенном быстродействии в сравнении с микропроцессорными системами и могут быть запрограммированы благодаря применению предложенных методов. Предложен метод статического планирования в системе сетевых процессоров при ограничениях на ресурсы с минимизацией общего времени выполнения, который благодаря обработке графу зависимости по данным, позволяет выполнять поиск эффективного плана в кратчайший срок.

Разработан ряд виртуальных вычислительных модулей конфигурируемого сетевого процессора, таких как контроллер локальной сети Ethernet, декодер кодов Рида-Соломона, распаковщик файлов в формате GZIP. Разработано ядро микроконтроллера i8051, которое имеет повышенное быстродействие до 100 млн. команд за сек. Разработан и испытан экспериментальный образец сетевого компьютера на основе ПЛИС Xilinx XCV-4SX35.

(англ.)

A set of methods for pipelined computer system synthesis is developed. The methods are based on mapping the spaced synchronous dataflow graphs (SSDFG) into the system structure and its schedule. The input data of the methods are initial SSDFG, given period of the algorithm implementation, and optimization criterium. The developed methods provide minimising the clock period as well as processor unit, register, multiplexor number, interprocessor communications, memory volume, energy consumption minimizations. A set of methods for synthesis of the pipelined computer systems for the field programable gate array (FPGA) is developed. It includes method based on the VHDL language, method of mapping the iterative algorithms with the control operators. The resulting computer structure is described by VHDL and is a project which is ready to be configured in FPGA or implemented in ASIC. Due to the fact that this project is built without the very structure synthesis, the project optimization process is straight and has less complexity. The method of SSDFG retiming is proposed which is directed and has less complexity comparing to the usual retiming. The method description level provides its implementation in some computer aided design frameworks.

The methods are checked by the design of a set of application specific processors for the digital signal processing and the linear algebra problem solving, which are implemented in FPGA. The parameters of the resulting processes are equal to or supersede the parameters of the best known processors. It was found out that the network processors based on the configurable computers have much less energy consumption and increased speed comparing to the microprocessor systems. They can be configured by the means of proposed methods. A method for the static schedule of a set of tasks in the network processor system with the resource constraints is proposed which minimizes the common computation time due to the data dependence graph processing. The method provides the effective schedule finding in real time.

A set of intellectual property cores (IP cores) for the configurable network processor building is developed. It contains the media access controller core, Reed-Solomon decoder, GZIP file decompressor. i8051 microcontroller core is developed which has increased speed up to 100 mln. instructions per second. An experimental network processor based on Xilinx XCV-4SX35 FPGA was designed and probed.

4. Наявність охоронних документів на об'єкти права інтелектуальної власності.

Ряд розроблених віртуальних обчислювальних модулів, таких як контролер локальної мережі, декодер Ріда-Соломона, мікроконтролер i8051, розпакувальник файлів у форматі GZIP описані мовою VHDL і є об'єктами інтелектуальної власності.

5. Порівняння зі світовими аналогами.

Розроблені метод проектування конвеєрних процесорів для обробки потоків даних на основі відображення просторового ГСПД та методики на його основі відповідають світовому рівню. Розроблені віртуальні обчислювальні модулі, таких як контролер локальної мережі, декодер Ріда-Соломона, мікроконтролер i8051, розпакувальник файлів відповідають кращим світовим зразкам або перевищують їх.

6. Економічна привабливість для просування на ринок

Віртуальні обчислювальні модулі контролера локальної мережі, декодера Ріда-Соломона, мікроконтролера i8051, розпакувальника файлів у форматі GZIP та інші дають змогу при їх впровадженні у ПЛІС відмовитись від придбання ліцензій на аналогічні віртуальні модулі, які коштують від 5 до 100 тисяч грн. Можливий продаж ліцензій на ці модулі.

7. Потенційні користувачі (галузі, міністерства, підприємства, організації).

Галузі, підприємства, в яких розробляються та використовуються засоби електроніки та керування на базі ПЛІС, як наприклад, НВО “Авіант”, завод “Арсенал”, ДП “УСС”, ДП “ДЦІБ”, ДП ВО “Імпульс”, ДП ВО “Київприлад”, ДНВП “Дельта”, ВАТ Завод “Маяк”, ДПНДІ “Квант”, ЗАТ “Промзв’язок”, ДНВП “Символ”, ЗАТ “Софтлайн”, СЗР України, ВАТ “Укртелеком” та інших.

8. Стан готовності розробки

Метод проектування конвеєрних процесорів для обробки потоків даних на основі відображення просторового ГСПД та методики на його основі мають рівень формалізації, який є достатнім для їх впровадження у нових системах автоматизованого проектування (САПР) конфігурованих обчислювальних засобів на базі ПЛІС. Ряд розроблених віртуальних обчислювальних модулів, таких як контролер локальної мережі, декодер Ріда-Соломона, мікроконтролер i8051, розпакувальник файлів у форматі GZIP мають відповідну документацію і готові для впровадження негайно.

Передбачається: 1) використати методи та методики відображення алгоритмів в ПЛІС при виконанні ряду проектів, як наприклад, ультразвуковий товщиномір з підвищеною точністю (планується ДКР на кафедрі обчислювальної техніки НТУУ”КПІ”), 2) розробити САПР віртуальних модулів для ПЛІС та виконати її у вигляді застосунку у мережі хмарних обчислень, 3) розробити конфігурований мережевий комп’ютер для мережі хмарних обчислень з підготовкою задач за допомогою САПР віртуальних модулів.

Віртуальні обчислювальні модулі контролера локальної мережі, декодера Ріда-Соломона, мікроконтролера i8051, розпакувальника файлів у форматі GZIP та інші описані мовами VHDL, Verilog, мають відповідну документацію і можуть бути впроваджені негайно або після незначних доробок.

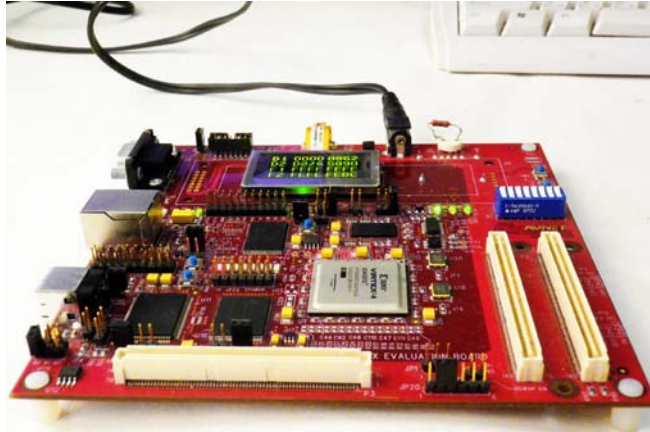
9. Існуючі результати впровадження.

Метод проектування конвеєрних процесорів для обробки потоків даних впроваджено в учбовому курсі “Апаратно-орієнтоване програмування”, який викладається в Інституті служби захисту інформації НТУУ”КПІ”.

Одержана методологія лягла в основу докторської дисертації Сергієнка А.М. “Моделі, методи та засоби синтезу обчислювальних систем для обробки потоків даних”, спеціальність 05.13.05 – комп’ютерні системи та компоненти, яка була захищена 23 травня 2011 р в НТУУ”КПІ”. Автореферат дис... доктора техн. наук. .

10. Назва організації, телефон, E-mail

НТУУ”КПІ”, факультет інформатики та обчислювальної техніки, кафедра обчислювальної техніки, тел. (044) 454-93-37, e-mail: aser@comsys.kpi.ua, сайт лабораторії : <http://kanyevsky.kpi.ua>



Експериментальний зразок конфігурованого мережевого комп'ютера

11. Перелік публікацій за матеріалами досліджень за період виконання розробки

1. Сергиенко А.М. Применение рациональных дробей в специализированных вычислителях // Вісник НТУУ «КПІ»: “Інформатика, управління та обчислювальна техніка”: зб. наук. праць. – К.: Век+. –2009. –№50. –С. 74-77.
2. Сергієнко А.М., Лепеха В.Л. Деякі особливості проектування мікроконтролерів для СНК // Вісник НТУУ «КПІ»: “Інформатика, управління та обчислювальна техніка”: зб. наук. праць. –2009. –№50. –С. 70-73.
3. Sergiyenko A.M., Vinogradov Y., Maslennikov O. Tensor approach to the application specific processor design // Proc.10th Int. Conf. “The Experience of Designing and Application of CAD Systems in Microelectronics”, CADSM'2009, 24-28 Feb. 2009. –IEEE Library. –2009. –P. 146-149.
4. Симоненко А.В., А.В.Падий (студент) // Адаптивный метод устранения перегрузок в каналах АТМ // Электронное моделирование. – 2009. –Т. 31. – № 2. –С.57-64.
5. Лісніченко Д.І.(студент), Симоненко А.В. Система оперування файловими ієрархіями //Вісник НТУУ «КПІ». Інформатика, управління та обчислювальна техніка: Зб. наук. пр. – К.: Век+, – 2009. – № 51. – С.24–29.
6. Лісніченко Д.І.(студент), Сімоненко А.В. Метод уніфікації роботи із файловими ієрархія-ми шляхом застосування для їх обробки параметризованих операцій над графа-ми//Вісник НТУУ «КПІ». Інформатика, управління та обчислювальна техніка: Зб. наук. пр. – К.: Век+, – 2009. – № 51.– С.124–129.
7. Sergiyenko A., Maslennikova N., Ratushnyak P., Wozniak M. Applicaton specific processors for the autorgressive signal analysis // 8-th Int. Conf. “Parallel Processing and Applied Mathematic”, PPAM'2009. Part I: “Lecture Notes in Computer Science”. –Berlin: Springer, –2010, –V. 6068. –P. 80–86.
8. Сергиенко А.М. Спецпроцессоры для авторегрессионного анализа сигналов // Электронное моделирование. – 2010. –Т.32, №2. –С. 87-96.
9. Сергиенко А.М. Пространственный граф синхронных потоков данных// Вісник НТУУ «КПІ»: “Інформатика, управління та обчислювальна техніка”: зб. наук. праць. –2010. – №.51. –С. 40-46.
10. Сергиенко А.М., Лепеха В.Л. Специализированный контроллер локальной сети// Вісник НТУУ «КПІ»: “Інформатика, управління та обчислювальна техніка”: зб. наук. праць. – 2010. –№.51. –С. 47-51.
11. Сергиенко А.М., Лесик Т.М. Динамически перестраиваемые цифровые фильтры на ПЛИС // Электронное моделирование. –2010. –Т.32, №6. –С. 47-56.
12. Сергиенко А.М., Лепеха В.Л., Лесик Т.М. Реализация алгоритма Холецкого на ПЛИС // Вісник НТУУ «КПІ»: “Інформатика, управління та обчислювальна техніка”: зб. наук. праць. –2010. –Т.52, –С. 40-45.

13. Сергиенко А.М., Лесик Т.М. Реализация перестраиваемых рекурсивных цифровых фильтров на ПЛИС // Вісник НТУУ «КПІ»: “Інформатика, управління та обчислювальна техніка”: зб. наук. праць. –2010. –№52. –С. 47-51.
14. Сергиенко А.М., Лепеха В.Л., Лесик Т.М. Вычислительные модели параллельных алгоритмов, реализуемых аппаратно // Зб. праць ювілейної міжн. наук.-практ. конф. 50-річчя створення каф. ОТ. –Київ, 6-8 квітня 2010. –Київ: НТУУ «КПІ». –2010. –С. 125-127.
15. Сергиенко А.М., Лесик Т.М. Динамически перестраиваемые цифровые фильтры на ПЛИС // Зб. матеріалів міжн. наук. конф. «Моделювання-2010». –Київ: ІПМЕ НАН України. –2010. –Т.3. –С. 161-166.
16. Sergiyenko A., Ivanov D. (студент), Vinogradov Ju., Lesyk T. High Speed AR Analysis Based on FPGA. // Зб.праць 10 Всеукраїнської міжнарод. конф. з оброблення сигналів і зображень та розпізнавання образів — УкрОбраз’2010. –Київ:ІК ім Глушкова. –С.173-176.
17. Сергієнко А.М., Лепеха В.Л., Виноградов Ю.М., Франко Р.А. (студент) Реалізація декодеру Ріда-Соломона у ПЛИС // Зб.праць 10 Всеукраїнської міжнарод. конф. з оброблення сигналів і зображень та розпізнавання образів — УкрОбраз’2010.. –Київ:ІК ім Глушкова. –С.189-192.
18. Лісниченко Д.І. (студент), Симоненко А.В. Система оперування файловими ієрархіями шляхом застосування для їх обробки параметризованих операцій над графами // Вісник НТУУ «КПІ». Інформатика, управління та обчислювальна техніка: Зб. наук. пр. – К.: Век+, – 2010. – № 51. –С.162-165.
19. Симоненко В.П., Куренёв А.С.(студент) Алгоритм статического планирования для GRID систем // Вісник НТУУ «КПІ». Інформатика, управління та обчислювальна техніка: Зб. наук. пр. – К.: Век+, – 2011. – № 53.
20. Симоненко В.П. Математическая постановка задачи динамического распределения работ в GRID системах и оценки качества решения // Вісник НТУУ «КПІ». Інформатика, управління та обчислювальна техніка: Зб. наук. пр. – К.: Век+, – 2011. – № 53. –С.37-41.
21. Симоненко В.П., Симоненко А.В. Динамическое распределение работ по ре-сурсам неоднородной системе с ограничениями реального времени//Вісник НТУУ «КПІ». Інформатика, управління та обчислювальна техніка: Зб. наук. пр. – К.: Век+, – 2011. – № 53. –С42-47.
22. Симоненко А.В. Элементы теории повышения эффективности решения задачи динамического планирования в GRID системах // Вісник НТУУ «КПІ». Інформатика, управління та обчислювальна техніка: Зб. наук. пр. – К.: Век+, – 2011. – № 53. –С48-53.
23. Федоречко О.И.(студент), Виноградов Ю.Н., Иванов А.Н.(студент) Метод исправления «пачки» ошибок в каналах с кодово-импульсной модуляцией на основе уножения без междуразрядных переносов / /Вісник НТУУ «КПІ». Інформатика, управління та обчислювальна техніка: Зб. наук. пр. – К.: Век+, – 2011. – № 53. –С.134-141.
24. Сергієнко А.М. Моделі, методи та засоби синтезу обчислювальних систем для обробки потоків даних. Автореферат дис... доктора техн. наук. Спеціальність 05.13.05 – Комп’ютерні системи та компоненти. –Київ: НТУУ”КПІ”.–2011. – 31 с.
25. Сергиенко А.М., Лесик Т.М. Вычисление линейных рекуррентных последовательностей в ПЛИС // Збірник праць першої наук.-техн. конф. “Високопродуктивні обчислення”, НРС-UA’2011. –Київ: НТУУ”КПІ”. –2011. –с.125-128.